

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 11 月 24 日 (24.11.2005)

PCT

(10) 国際公開番号
WO 2005/112108 A1

(51) 国際特許分類: H01L 21/68, 21/02
(21) 国際出願番号: PCT/JP2005/009107
(22) 国際出願日: 2005 年 5 月 12 日 (12.05.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-146113 2004 年 5 月 17 日 (17.05.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社日立国際電気 (HITACHI KOKUSAI ELECTRIC INC.) [JP/JP]; 〒1648511 東京都中野区東中野三丁目 1 4 番 2 0 号 Tokyo (JP).

東中野三丁目 1 4 番 2 0 号 株式会社日立国際電気
内 Tokyo (JP).

(74) 代理人: 守山 辰雄, 外 (MORIYAMA, Tatsuo et al.);
〒1500021 東京都渋谷区恵比寿西二丁目 7 番 1 0 号
第 6 ミトモビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

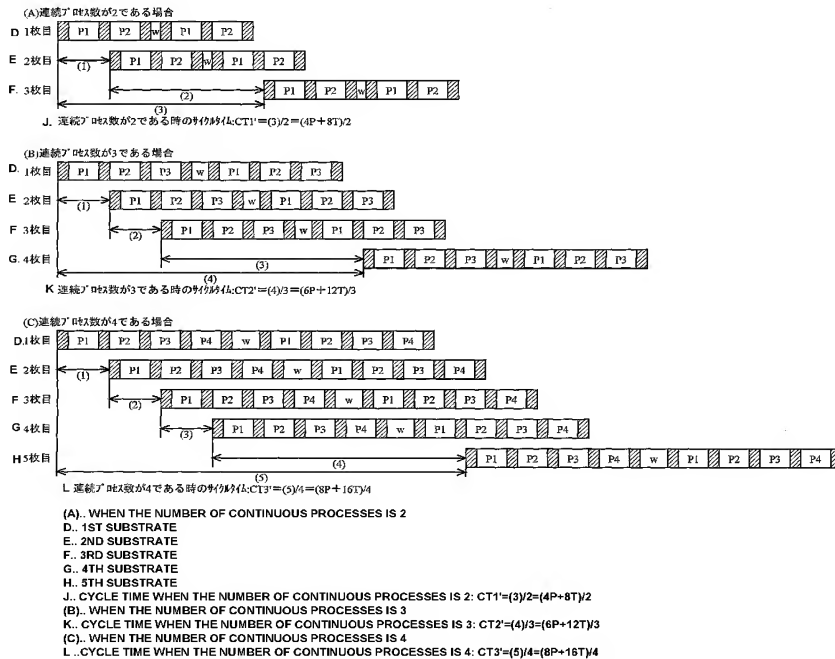
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 高野 智
(TAKANO, Satoshi) [JP/JP]; 〒1648511 東京都中野区

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: SUBSTRATE PROCESSING APPARATUS AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 基板処理装置及び半導体デバイス製造方法



(57) Abstract: A substrate processing apparatus for continuously processing substrates efficiently performs substrate processing having a return process. The substrate processing apparatus has a conveyance chamber as a conveyance space for substrates, processing chambers in which the substrates are processed, substrate conveyance means provided in the conveyance chamber

[続葉有]

WO 2005/112108 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW, ARIPO 特許 (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特

許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ 特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)の指定のための出願し及び特許を与えられる出願人の資格に関する申立て (規則4.17(ii))

- USの指定のための先の出願に基づく優先権を主張する出願人の資格に関する申立て (規則4.17(iii))

添付公開書類:

- 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

and having a function of conveying the substrates, and substrate conveyance control means for controlling conveyance of the substrates by the substrate conveyance means. The control by the substrate conveyance control means is made such that, in the execution of a return process in which substrates are continuously processed by two or more processing chambers and then reconveyed for processing to any processing chamber other than the last one of the two or more processing chambers, the substrates are temporarily receded, in the reconveyance, at a place other than the processing chambers and then conveyed to the any processing chamber.

(57) 要約: 複数の基板を連続的に処理する基板処理装置で、戻りプロセスを有する基板処理を効率的に行う。基板の搬送空間となる搬送室と、基板の処理が行われる複数の処理室と、前記搬送室に設けられて基板を搬送する機能を有する基板搬送手段と、基板を2つ以上の処理室により連続的に処理した後に最後の処理室から当該2つ以上の処理室のうちの最後以外のいずれかの処理室へ前記基板を再度搬送して処理を行う戻りプロセスを実行する場合に、当該再度搬送するに際して、前記基板を処理室以外の場所で一時的に退避させた後に前記いずれかの処理室へ搬送するように前記基板搬送手段による基板の搬送処理を制御する基板搬送制御手段と、を備えた。

明 細 書

基板処理装置

5 技術分野

本発明は、基板を処理する基板処理装置などに関し、特に、複数の基板を連続的に処理するに際して、戻りプロセスを有する基板処理を効率的に行う基板処理装置などに関する。

10 背景技術

例えば、半導体基板（ウェーハ）に所定の処理を施す半導体製造装置や、LCD（Liquid Crystal Display）用ガラス基板に所定の処理を施すLCD製造装置等といった基板処理装置では、複数の処理室を設けて、各処理室において基板に対して成膜処理等を施すことが行われる。また、各処理室間などでは、移載機により

15 基板を搬送することが行われる。

また、例えば、異なる処理が可能な複数の処理室において、各1回の処理を行って積層膜を形成するプロセスが標準的に行われている一方、2つ以上の処理室を使用して、処理室数以上の積層膜を形成するプロセス（戻りプロセス）も望まれている。具体的には、戻りプロセスでは、別の処理室を経由した後に一旦処理を終え

20 た処理室へ基板を搬送し、再度同じ処理或いは異なる条件の処理を行う。

特許文献1

特開平11-102953号公報

特許文献2

特開平10-199960号公報

発明の開示

しかしながら、従来の基板処理装置などでは、戻りプロセスを有する基板処理において、複数の基板を連続的に処理する場合におけるサイクルタイムが大きくなってしまい、また、各処理室でプロセス処理と搬送処理のいずれも行われない待機時間（空き時間）が大きくなってしまいうことから、各処理室の処理効率が著しく低下し、半導体基板の生産効率が落ちてしまうという問題があった。

本発明は、このような従来の事情に鑑み為されたもので、複数の基板を連続的に処理するに際して、戻りプロセスを有する基板処理を効率的に行うことができる基板処理装置などを提供することを目的とする。

10 上記目的を達成するため、本発明に係る基板処理装置では、次のようにして、複数の基板を連続的に処理する。

すなわち、基板の搬送空間となる搬送室と、基板の処理が行われる複数の処理室と、前記搬送室に設けられて基板を搬送する機能を有する基板搬送手段と、を備えた構成において、基板搬送制御手段が、基板を2つ以上の処理室により連続的に
15 処理した後に最後の処理室から当該2つ以上の処理室のうちの最後以外のいずれかの処理室へ前記基板を再度搬送して処理を行う戻りプロセスを実行する場合に、当該再度搬送するに際して、前記基板を処理室以外の場所で一時的に退避させた後に前記いずれかの処理室へ搬送するように、前記基板搬送手段による基板の搬送処理を制御する。

20 従って、複数の基板を連続的に処理するに際して、戻りプロセスを有する基板処理を効率的に行うことができ、具体的には、例えば、連続して処理される複数の基板の間でのデッドロックを防止しつつ、サイクルタイムの短縮化や、各処理室の待機時間（空き時間）の短縮化が可能である。

ここで、基板処理装置に備えられる複数の処理室の数としては、種々な数が
25 用いられて

もよい。

また、基板の処理が行われる 2 つ以上の処理室の数としては、種々な数が用いられてもよい。

5 また、基板の処理が行われる 2 つ以上の処理室としては、種々なものが用いられてもよい。

また、戻りプロセスの対象となる処理室の数（連続プロセス数） n としては、種々な数が用いられてもよい。

10 また、戻りプロセスにおける基板処理手順や、全体的な基板処理手順としては、それぞれ、種々なものが用いられてもよい。つまり、一の基板が各処理室において処理される順番としては、種々な順番が用いられてもよい。

また、複数の基板を連続的に処理する際に、連続した複数の基板を一連の基板処理へ投入する時間間隔（投入間隔）としては、種々な時間間隔が用いられてもよく、例えば、デッドロックを防止することが可能な時間間隔が用いられる。

15 また、基板としては、種々なものが用いられてもよく、例えば、半導体装置や LCD 装置を製造するためのシリコンウェーハやガラス基板が用いられる。

また、基板を処理室以外の場所で一時的に退避させる時間（退避時間）としては、種々な時間が用いられてもよく、例えば、デッドロックを防止することが可能な時間が用いられる。

20 また、基板を一時的に退避させる場所としては、種々な場所が用いられてもよく、一例として、処理室とは別な場所として 1 つ又は 2 つ以上の予備室を備えて用いることができ、他の一例として、処理室とは別な場所として 1 つ又は 2 つ以上のロードロック室を用いることができる。

本発明に係る基板処理装置では、次のような構成とした。

25 すなわち、前記 2 つ以上の処理室のそれぞれにおける基板の処理時間（プロセス処理の時間）が等しい場合に、戻りプロセスの対象となる処理室の数（連続プロ

セス数)を n とし、処理室間の基板の搬送時間を T として、前記基板搬送制御手段は、前記退避の時間として $\{(n-1) \cdot T\}$ を用いる。

なお、例えば、ロードロック室から処理室への基板の搬送時間や、処理室からロードロック室への基板の搬送時間についても、一の処理室から他の処理室への基板の搬送時間と同様に、 T であるとする。

従って、前記2つ以上の処理室のそれぞれにおける基板の処理時間が等しい場合に、戻りプロセスを有する基板処理を効率的に行うことができる。

本発明に係る基板処理装置では、次のような構成とした。

すなわち、前記2つ以上の処理室のいずれかの処理室における基板の処理時間(プロセス処理の時間)が異なる場合に、戻りプロセスの対象となる処理室の数(連続プロセス数)を n とし、処理室間の基板の搬送時間を T とし、前記2つ以上の処理室のうちで基板の処理時間が最長となる処理室における基板の処理時間を P_{max} として、前記基板搬送制御手段は、前記退避の時間として、 P_{max} と戻りプロセスが実行される各処理室における基板の処理時間との差分を当該各処理室の全てについて $\{(n-1) \cdot T\}$ に加えた結果を用いる。

なお、例えば、ロードロック室から処理室への基板の搬送時間や、処理室からロードロック室への基板の搬送時間についても、一の処理室から他の処理室への基板の搬送時間と同様に、 T であるとする。

従って、前記2つ以上の処理室のいずれかの処理室における基板の処理時間が異なる場合に、戻りプロセスを有する基板処理を効率的に行うことができる。

本発明に係る半導体デバイス製造方法では、次のようにして、複数の基板を連続的に処理して、半導体デバイスを製造する。

すなわち、基板を2つ以上の処理室により連続的に処理した後に最後の処理室から当該2つ以上の処理室のうちの最後以外のいずれかの処理室へ前記基板を再度搬送して処理を行う戻りプロセスを実行する場合に、当該再度搬送するに際して、

前記基板を処理室以外の場所で一時的に退避させた後に前記いずれかの処理室へ搬送する。

従って、複数の基板を連続的に処理して、半導体デバイスを製造するに際して、戻りプロセスを有する基板処理を効率的に行うことができる。

5 なお、半導体デバイスとしては、種々なものが用いられてもよい。

図面の簡単な説明

第1図は、本発明の一実施例に係る基板処理装置の構成例を示す図である。

10 第2図は、(A)、(B)、(C)は複数枚の基板を処理するタイムチャートの一例を示す図である。

第3図は、(A)、(B)、(C)は複数枚の基板を処理するタイムチャートの一例を示す図である。

第4図は、基板処理装置の構成例を示す図である。

第5図は、基板搬送の流れの一例を示す図である。

15 第6図は、基板の処理履歴の一例をイベントタイムチャートとして示す図である。

第7図は、戻りプロセスを有する基板処理の流れの一例を示す図である。

第8図は、(A)、(B)、(C)は複数枚の基板を処理するタイムチャートの一例を示す図である。

20

発明を実施するための最良の形態

本発明に係る実施例を図面を参照して説明する。

25 なお、本実施例では、半導体装置基板を処理する基板処理装置及び半導体装置の製造方法を例として説明するが、例えば、LCD用基板を処理する基板処理装置などに同様な構成や動作を適用することも可能である。

第1図には、本発明の一実施例に係る基板処理装置の構成例を示してある。

本例の基板処理装置は、キャリアステーション（ロードポート：LP）1a、1b、1cと、大気雰囲気用の移載機（LH）2と、基板位置補正ユニット（アライナ：AU）3と、第1のロードロック室（LM1）4と、真空雰囲気用の移載機（TH）13が設けられた搬送室5と、第1の処理室（PM1）6と、第2の処理室（PM2）7と、第3の処理室（PM3）8と、第4の処理室（PM4）9と、第2のロードロック室（LM2）10と、第1の予備室11と、第2の予備室12と、制御部14から構成されている。

ここで、構成要素としては、基板搬送を行う移載機13を搭載した搬送室5を中央に配し、当該搬送室5の周辺に隣接して基板に所定の加工を施す処理室6～9が2つ以上（本例では、4つ）存在し、搬送室5と外部との基板のやり取りを行う際にN₂等の不活性ガスによって雰囲気置換を行い処理室6～9への大気成分の混入を防止するためのロードロック室4、10から成る。また、更に、基板が収納されたキャリアを処理中に一時的に設置しておくためのキャリアステーション1a、1b、1cと、キャリアステーション1a、1b、1c上のキャリアから随時単一の基板をロードロック室4、10へ搬送するための移載機2と、キャリア内の基板をロードロック室4、10に精度良く配置するための基板位置補正ユニット3を配している。また、更に、搬送室5に、基板の一時退避が可能な予備室11、12を設けてある。また、制御部14が設けられている。

予備室11、12については、本例では、全ての処理室6～9で一度に処理することが可能な基板数の合計数分の退避が可能であるように設計する。例えば、本例の構成では、各処理室6～9ではそれぞれ1枚の基板の処理が可能であり、全ての処理室6～9では合計で4枚の基板の処理が可能であることから、2つの予備室11、12にそれぞれ2枚ずつ基板を退避することが可能な構造となっており、全ての予備室11、12では合計で4枚の基板の退避が可能である。

また、本例では、2つの予備室11、12を設けた例を示すが、予備室の数としては任意であってもよく、例えば、1つの予備室のみが基板の退避に使用される構成とされてもよく、或いは、2つ以上の予備室が同時に基板の退避に使用されるような構成とされてもよい。

- 5 また、各処理室6～9は、例えば、成膜室や、バッファ室などとして構成される。

また、制御部14は、本例では、ROM (Read Only Memory)、RAM (Random Access Memory)、CPU (Central Processing Unit) 等のハードウェア資源で所定のプログラムを実行する構成となっている。

- 10 本実施例では、各処理室6～9でのプロセス処理に要する時間としては、各処理室6～9と搬送室5とを隔離している弁体機構（ゲートバルブ：GV）が閉じられてから、処理が行われた後に、当該GVが開かれるまでの時間で規定する。

- 15 また、本実施例では、移載元となる処理室6～9或いはロードロック室4、10から移載先となる処理室6～9或いはロードロック室4、10への真空雰囲気用移載機13による基板の搬送処理に要する時間としては、移載元となる処理室等Xから移載先となる他の処理室等Yへの基板の移動に要する時間で規定する。

また、本実施例では、戻りプロセスを行う処理室の数を連続プロセス数（n）としており、つまり、連続プロセス数nは戻りプロセスの対象となる処理室の数となる。また、戻りプロセスの回数をmとする。

- 20 また、本実施例では、イベントタイムチャートとしては、戻りプロセスに関する真空搬送系の部分（例えば、第5図及び第6図に示される（3）～（11）に対応する処理の部分）のみについて示す。

- 25 第2図（A）、（B）、（C）には、それぞれ、戻りプロセスを有する基板処理において、第1図に示される基板処理装置により、複数の基板を処理する場合におけるイベントタイムチャートの一例を示してある。

なお、本例では、各処理室 6 ～ 9 での処理時間が全て同じ時間 P であり、真空雰囲気用移載機 1 3 による 1 回の搬送時間が T であるとする。

また、本例では、戻りプロセスの回数 m が 1 である場合を示す。

本例の特徴点は、再度同じ処理室 6 ～ 9 に基板を搬送する前に一時的に予備室 1 1、1 2 を経由させる点であり、例えば、(1 回目の) 第 1 の処理室 6、(1 回目の) 第 2 の処理室 7、(2 回目の) 第 1 の処理室 6、(2 回目の) 第 2 の処理室 7 といった順に基板を搬送する場合、2 回目の第 1 の処理室 6 への基板搬送前に一時的に第 1 の予備室 1 1 或いは第 2 の予備室 1 2 を介して基板を搬送させ、つまり、(1 回目の) 第 1 の処理室 6、(1 回目の) 第 2 の処理室 7、予備室 (第 1 の予備室 1 1 或いは第 2 の予備室 1 2)、(2 回目の) 第 1 の処理室 6、(2 回目の) 第 2 の処理室 7 といった順に基板を搬送する点である。

第 2 図 (A) には、連続プロセス数が 2 である場合を示してある。

この場合、1 枚目、2 枚目、3 枚目、・・・といったそれぞれの基板について、ロードロック室 (第 1 のロードロック室 4 或いは第 2 のロードロック室 1 0) から第 1 の処理室 6 への搬送処理、第 1 の処理室 6 でのプロセス処理 P 1、第 1 の処理室 6 から第 2 の処理室 7 への搬送処理、第 2 の処理室 7 でのプロセス処理 P 2、第 2 の処理室 7 から予備室 (第 1 の予備室 1 1 或いは第 2 の予備室 1 2) への搬送処理、当該予備室での退避 (退避時間 W)、当該予備室から第 1 の処理室 6 への搬送処理、第 1 の処理室 6 でのプロセス処理 P 1、第 1 の処理室 6 から第 2 の処理室 7 への搬送処理、第 2 の処理室 7 でのプロセス処理 P 2、第 2 の処理室 7 からロードロック室 (第 1 のロードロック室 4 或いは第 2 のロードロック室 1 0) への搬送処理が行われる。なお、それぞれの搬送処理は、搬送室 5 の真空雰囲気用移載機 1 3 により行われる。

また、予備室 1 1、1 2 に基板を退避させる退避時間 W としては、1 回分の搬送時間 T と等しい時間とする (つまり、 $W = T$)。

また、2枚目の基板の投入タイミングは、1枚目の基板について第1の処理室6での最初の処理が完了した後となり、1枚目の基板と搬送が重ならないタイミングとされ、具体的には、(2枚目の基板の投入間隔 $=P+2T$)とする。

また、3枚目の基板の投入タイミングは、2枚目の基板について第1の処理室6での最後の処理が完了した後となり、2枚目の基板と搬送が重ならないタイミングとされ、具体的には、(3枚目の基板の投入間隔 $=3P+5T+W=3P+6T$)とする。

すると、(1枚目の基板と3枚目の基板との投入間隔 $=4P+8T$)となる。

第2図(B)には、連続プロセス数が3である場合を示してある。

10 この場合、1枚目、2枚目、3枚目、・・・といったそれぞれの基板について、ロードロック室(第1のロードロック室4或いは第2のロードロック室10)から第1の処理室6への搬送処理、第1の処理室6でのプロセス処理P1、第1の処理室6から第2の処理室7への搬送処理、第2の処理室7でのプロセス処理P2、第2の処理室7から第3の処理室8への搬送処理、第3の処理室8でのプロセス処理P3、第3の処理室8から予備室(第1の予備室11或いは第2の予備室12)への搬送処理、当該予備室での退避(退避時間W)、当該予備室から第1の処理室6への搬送処理、第1の処理室6でのプロセス処理P1、第1の処理室6から第2の処理室7への搬送処理、第2の処理室7でのプロセス処理P2、第2の処理室7から第3の処理室8への搬送処理、第3の処理室8でのプロセス処理P3、第3の処理室8からロードロック室(第1のロードロック室4或いは第2のロードロック室10)への搬送処理が行われる。なお、それぞれの搬送処理は、搬送室5の真空雰囲気用移載機13により行われる。

また、予備室11、12に基板を退避させる退避時間Wとしては、2回分の搬送時間 $2T$ と等しい時間とする(つまり、 $W=2T$)。

25 また、2枚目の基板の投入タイミングは、1枚目の基板について第1の処理

室 6 での最初の処理が完了した後となり、1 枚目の基板と搬送が重ならないタイミングとされ、具体的には、(2 枚目の基板の投入間隔 = $P + 2 T$) とする。

同様に、3 枚目の基板の投入タイミングは、2 枚目の基板について第 1 の処理室 6 での最初の処理が完了した後となり、2 枚目の基板と搬送が重ならないタイミングとされ、具体的には、(3 枚目の基板の投入間隔 = $P + 2 T$) とする。

また、4 枚目の基板の投入タイミングは、3 枚目の基板について第 1 の処理室 6 での最後の処理が完了した後となり、3 枚目の基板と搬送が重ならないタイミングとされ、具体的には、(4 枚目の基板の投入間隔 = $4 P + 6 T + W = 4 P + 8 T$) とする。

すると、(1 枚目の基板と 4 枚目の基板との投入間隔 = $6 P + 12 T$) となる。

第 2 図 (C) には、連続プロセス数が 4 である場合を示してある。

この場合、1 枚目、2 枚目、3 枚目、・・・といったそれぞれの基板について、ロードロック室 (第 1 のロードロック室 4 或いは第 2 のロードロック室 10) から第 1 の処理室 6 への搬送処理、第 1 の処理室 6 でのプロセス処理 P_1 、第 1 の処理室 6 から第 2 の処理室 7 への搬送処理、第 2 の処理室 7 でのプロセス処理 P_2 、第 2 の処理室 7 から第 3 の処理室 8 への搬送処理、第 3 の処理室 8 でのプロセス処理 P_3 、第 3 の処理室 8 から第 4 の処理室 9 への搬送処理、第 4 の処理室 9 でのプロセス処理 P_4 、第 4 の処理室 9 から予備室 (第 1 の予備室 11 或いは第 2 の予備室 12) への搬送処理、当該予備室での退避 (退避時間 W)、当該予備室から第 1 の処理室 6 への搬送処理、第 1 の処理室 6 でのプロセス処理 P_1 、第 1 の処理室 6 から第 2 の処理室 7 への搬送処理、第 2 の処理室 7 でのプロセス処理 P_2 、第 2 の処理室 7 から第 3 の処理室 8 への搬送処理、第 3 の処理室 8 でのプロセス処理 P_3 、第 3 の処理室 8 から第 4 の処理室 9 への搬送処理、第 4 の処理室 9 でのプロセス処理 P_4 、第 4 の処理室 9 からロードロック室 (第 1 のロードロック室 4 或いは第 2 のロードロック室 10) への搬送処理が行われる。なお、それぞれの搬送処理は、

搬送室 5 の真空雰囲気用移載機 1 3 により行われる。

また、予備室 1 1、1 2 に基板を退避させる退避時間 W としては、3 回分の搬送時間 $3 T$ と等しい時間とする（つまり、 $W = 3 T$ ）。

また、2 枚目の基板の投入タイミングは、1 枚目の基板について第 1 の処理室 6 での最初の処理が完了した後となり、1 枚目の基板と搬送が重ならないタイミングとされ、具体的には、（2 枚目の基板の投入間隔 $= P + 2 T$ ）とする。

同様に、3 枚目の基板の投入タイミングは、2 枚目の基板について第 1 の処理室 6 での最初の処理が完了した後となり、2 枚目の基板と搬送が重ならないタイミングとされ、具体的には、（3 枚目の基板の投入間隔 $= P + 2 T$ ）とする。

同様に、4 枚目の基板の投入タイミングは、3 枚目の基板について第 1 の処理室 6 での最初の処理が完了した後となり、3 枚目の基板と搬送が重ならないタイミングとされ、具体的には、（4 枚目の基板の投入間隔 $= P + 2 T$ ）とする。

また、5 枚目の基板の投入タイミングは、4 枚目の基板について第 1 の処理室 6 での最後の処理が完了した後となり、4 枚目の基板と搬送が重ならないタイミングとされ、具体的には、（5 枚目の基板の投入間隔 $= 5 P + 7 T + W = 5 P + 10 T$ ）とする。

すると、（1 枚目の基板と 5 枚目の基板との投入間隔 $= 8 P + 16 T$ ）となる。

本例の基板処理フローは、2 枚目以降の基板の投入間隔において、連続プロセス数を n とした場合に、自然数 k について、（ $k \cdot n + 1$ ）枚目の基板の投入間隔が他の基板の投入間隔とは異なるという特徴を有している。なお、 k は、単に或る基板投入間隔とは異なる間隔となる基板を定義するために用いている。

具体的には、第 2 図（A）に示されるように、連続プロセス数 $n = 2$ である場合には、3、5、7、・・・枚目（ $k = 1, 2, 3, \dots$ ）の基板の投入間隔が他とは異なり、また、第 2 図（B）に示されるように、連続プロセス数 $n = 3$ である場合には、4、7、10、・・・枚目（ $k = 1, 2, 3, \dots$ ）の基板の投入間隔

が他とは異なり、また、第2図(C)に示されるように、連続プロセス数 $n=4$ である場合には、5、9、13、・・・枚目($k=1, 2, 3, \dots$)の基板の投入間隔が他とは異なる。

ここで、各プロセス処理の時間を一律に P とし、搬送時間を T とした場合には、基板の投入間隔は、下記(条件1)、(条件2)により算出される。

また、予備室での基板の一時的な退避時間 W は、下記(3)により算出される。

(条件1) $(k \cdot n + 1)$ 枚目の基板の投入間隔 $= (n + 1) \cdot (P + 2T)$

(条件2) 上記以外の基板の投入間隔 $= (P + 2T)$

(条件3) $W = (n - 1) \cdot T$

上記した(条件1)～(条件3)を満たすことにより、第2図(A)、(B)、(C)に示されるような基板処理フローが実現される。

また、本例のような基板処理フローにおけるサイクルタイムの算出基準について述べる。

すなわち、本例の基板処理フローでは、基板の投入間隔が一定ではないため、例えば第8図(A)、(B)、(C)に示されるように(基板の投入間隔=サイクルタイム)といった考え方ができない。そこで、本例の基板処理フローでは、連続プロセス数を n として、 k を任意の自然数とした場合に、 $\{(k-1) \cdot n + 1\}$ 枚目の基板が投入されるときから $(k \cdot n + 1)$ 枚目の基板が投入されるまでの間に n 枚の基板が処理されることに着目し、この投入間隔を n で割り算することによって基板1枚当たりの平均的な投入間隔を算出してサイクルタイムと定義することとする。

具体的には、第2図(A)に示されるように、連続プロセス数 n が2である場合には、例えば、 $k=1$ である時の結果である1枚目と3枚目の基板の投入間隔($4P + 8T$)を $n (=2)$ で割り算した結果($2P + 4T$)がサイクルタイム CT_1' になる。また、第2図(B)に示されるように、連続プロセス数 n が3である場合

には、例えば、 $k = 1$ である時の結果である1枚目と4枚目の基板の投入間隔 ($6P + 12T$) を $n (= 3)$ で割り算した結果 ($2P + 4T$) がサイクルタイム CT_2' になる。また、第2図 (C) に示されるように、連続プロセス数 n が4である場合には、例えば、 $k = 1$ である時の結果である1枚目と5枚目の基板の投入間隔
5 ($8P + 16T$) を $n (= 4)$ で割り算した結果 ($2P + 4T$) がサイクルタイム CT_3' になる。

このように、連続プロセス数 n が2、3、4である場合におけるそれぞれのサイクルタイム CT_1' 、 CT_2' 、 CT_3' は等しく ($2P + 4T$) となり、同様に、サイクルタイムは連続プロセス数 n に依存せずに一定値 ($2P + 4T$) となる。

10 また、第8図 (A)、(B)、(C) に示されるように連続プロセス数 n の増加に伴ってサイクルタイムが増加する傾向を有する手法において最も短くなる連続プロセス数 $n = 2$ である時のサイクルタイム $CT_1 (= 3P + 4T)$ と比較しても、本例のサイクルタイム ($2P + 4T$) はプロセス処理の1回分の時間が短縮されており、本例では処理効率が向上することが示される。

15 上記では、基板処理の対象となる処理室の全てについて戻りプロセスを行う場合を示したが、本発明は、必ずしもこのような場合に限定されず、他の種々な処理が行われてもよい。そして、それぞれの事由に対する補足を適用することにより、本発明の主旨を逸脱しない範囲で、種々な改善が為されてもよい。

第3図 (A)、(B)、(C) には、それぞれ、応用例として、戻りプロセスを有
20 する基板処理において、第1図に示される基板処理装置により、複数の基板を処理する場合におけるイベントタイムチャートの一例を示してある。

なお、第3図 (A)、(B)、(C) のそれぞれでは、特に説明しない点については、第2図 (A)、(B)、(C) について説明したのと同様であるとする。

第3図 (A) には、第1の処理室6でのプロセス処理 P_1 、第2の処理室7
25 でのプロセス処理 P_2 、第3の処理室8でのプロセス処理 P_3 を行うに際して、第

2の処理室7でのプロセス処理P2及び第3の処理室8でのプロセス処理P3のみについて戻りプロセスを実行する場合を示してある。この場合、戻りプロセスを実行する2つのプロセス処理P2、P3を対象として、連続プロセス数nを2と定義する。

- 5 この場合、1枚目、2枚目、3枚目、・・・といったそれぞれの基板について、ロードロック室（第1のロードロック室4或いは第2のロードロック室10）から第1の処理室6への搬送処理、第1の処理室6でのプロセス処理P1、第1の処理室6から第2の処理室7への搬送処理、第2の処理室7でのプロセス処理P2、第2の処理室7から第3の処理室8への搬送処理、第3の処理室8でのプロセス処理P3、第3の処理室8から予備室（第1の予備室11或いは第2の予備室12）への搬送処理、当該予備室での退避（退避時間W）、当該予備室から第2の処理室7への搬送処理、第2の処理室7でのプロセス処理P2、第2の処理室7から第3の処理室8への搬送処理、第3の処理室8でのプロセス処理P3、第3の処理室8からロードロック室（第1のロードロック室4或いは第2のロードロック室10）への搬送処理が行われる。なお、それぞれの搬送処理は、搬送室5の真空雰囲気用移載機13により行われる。
- 10
- 15

また、予備室11、12に基板を退避させる退避時間Wとしては、1回分の搬送時間Tと等しい時間とする（つまり、 $W=T$ ）。

- また、2枚目の基板の投入タイミングは、1枚目の基板について第1の処理室6での最初の処理が完了した後となり、1枚目の基板と搬送が重ならないタイミングとされ、具体的には、（2枚目の基板の投入間隔 $=P+2T$ ）とする。
- 20

また、3枚目の基板の投入タイミングは、2枚目の基板について最後（2回目）の第2の処理室7への基板搬送処理が完了した後となり、具体的には、（3枚目の基板の投入間隔 $=3P+5T+W=3P+6T$ ）とする。

- 25 すると、（1枚目の基板と3枚目の基板との投入間隔 $=4P+8T$ ）となる。

サイクルタイムは、 $(2P + 4T)$ となる。

第3図(B)には、第3図(A)に示されるのと同様な基板処理において、
戻りプロセスを2回実行する場合を示してある。つまり、第1の処理室6でのプロ
セス処理P1、第2の処理室7でのプロセス処理P2、第3の処理室8でのプロセ
5 ス処理P3を行うに際して、第2の処理室7でのプロセス処理P2及び第3の処理
室8でのプロセス処理P3について戻りプロセスを2回実行する場合を示してあ
る。この場合、戻りプロセスを実行する2つのプロセス処理P2、P3を対象とし
て、連続プロセス数 n を2と定義する。

この場合、1枚目、2枚目、3枚目、・・・といったそれぞれの基板について、
10 ロードロック室(第1のロードロック室4或いは第2のロードロック室10)から
第1の処理室6への搬送処理、第1の処理室6でのプロセス処理P1、第1の処理
室6から第2の処理室7への搬送処理、第2の処理室7でのプロセス処理P2、第
2の処理室7から第3の処理室8への搬送処理、第3の処理室8でのプロセス処理
P3、第3の処理室8から予備室(第1の予備室11或いは第2の予備室12)へ
15 の搬送処理、当該予備室での退避(退避時間 W)、当該予備室から第2の処理室7
への搬送処理、第2の処理室7でのプロセス処理P2、第2の処理室7から第3の
処理室8への搬送処理、第3の処理室8でのプロセス処理P3、第3の処理室8か
ら予備室(第1の予備室11或いは第2の予備室12)への搬送処理、当該予備室
での退避(退避時間 W)、当該予備室から第2の処理室7への搬送処理、第2の処
20 理室7でのプロセス処理P2、第2の処理室7から第3の処理室8への搬送処理、
第3の処理室8でのプロセス処理P3、第3の処理室8からロードロック室(第1
のロードロック室4或いは第2のロードロック室10)への搬送処理が行われる。
なお、それぞれの搬送処理は、搬送室5の真空雰囲気用移載機13により行われる。

また、予備室11、12に基板を退避させる退避時間 W としては、1回分の搬
25 送時間 T と等しい時間とする(つまり、 $W = T$)。

また、2枚目の基板の投入タイミングは、1枚目の基板について第1の処理室6での最初の処理が完了した後となり、1枚目の基板と搬送が重ならないタイミングとされ、具体的には、(2枚目の基板の投入間隔 $=P+2T$)とする。

また、3枚目の基板の投入タイミングは、2枚目の基板について最後(3回目)の第2の処理室7への基板搬送処理が完了した後となり、具体的には、(3枚目の基板の投入間隔 $=5P+8T+2W=5P+10T$)とする。

すると、(1枚目の基板と3枚目の基板との投入間隔 $=6P+12T$)となる。

サイクルタイムは、(3P+6T)となる。

また、戻りプロセスの実行回数を m とした場合には、 k を自然数として、基板の投入間隔は、下記(条件1)、(条件2)により算出される。

また、サイクルタイムは、下記(条件3)により算出される。

(条件1) $(k \cdot n + 1)$ 枚目の基板の投入間隔 $= (m \cdot n + 1) \cdot (P + 2T)$

(条件2) 上記以外の基板の投入間隔 $= (P + 2T)$

(条件3) サイクルタイム $= (m + 1) \cdot (P + 2T)$

第3図(C)には、第3図(A)に示されるのと同様な基板処理において、各処理室でのプロセス処理に要する時間が異なる場合を示してある。つまり、第1の処理室6でのプロセス処理P1、第2の処理室7でのプロセス処理P2、第3の処理室8でのプロセス処理P3を行うに際して、第2の処理室7でのプロセス処理P2及び第3の処理室8でのプロセス処理P3のみについて戻りプロセスを実行する場合であって、各処理室6、7、8でのプロセス処理の時間が異なる。この場合、戻りプロセスを実行する2つのプロセス処理P2、P3を対象として、連続プロセス数 n を2と定義する。

この場合、1枚目、2枚目、3枚目、・・・といったそれぞれの基板について、ロードロック室(第1のロードロック室4或いは第2のロードロック室10)から第1の処理室6への搬送処理、第1の処理室6でのプロセス処理P1、第1の処理

室 6 から第 2 の処理室 7 への搬送処理、第 2 の処理室 7 でのプロセス処理 P 2、第 2 の処理室 7 から第 3 の処理室 8 への搬送処理、第 3 の処理室 8 でのプロセス処理 P 3、第 3 の処理室 8 から予備室（第 1 の予備室 1 1 或いは第 2 の予備室 1 2）への搬送処理、当該予備室での退避（退避時間 W）、当該予備室から第 2 の処理室 7 への搬送処理、第 2 の処理室 7 でのプロセス処理 P 2、第 2 の処理室 7 から第 3 の処理室 8 への搬送処理、第 3 の処理室 8 でのプロセス処理 P 3、第 3 の処理室 8 からロードロック室（第 1 のロードロック室 4 或いは第 2 のロードロック室 1 0）への搬送処理が行われる。なお、それぞれの搬送処理は、搬送室 5 の真空雰囲気用移載機 1 3 により行われる。

10 また、予備室 1 1、1 2 に基板を退避させる退避時間 W の設定について説明する。

本例では、プロセス処理に要する時間の組み合わせが搬送律速にならない処理フローを前提として、次のように基板の退避時間 W を調整する。

例えば、第 3 図（C）に示される処理フローでは、3 つの処理 P 1、P 2、P 3 の処理時間の大小関係が、（処理 P 1 の処理時間） > （処理 P 2 の処理時間）であり且つ（処理 P 1 の処理時間） > （処理 P 3 の処理時間）である場合には、基準となる時間 $(n-1) T$ と、処理 P 1 と処理 P 2 との処理時間の差（“P 1 - P 2” と表す）と、処理 P 1 と処理 P 3 との処理時間の差（“P 1 - P 3” と表す）を総和した結果を退避時間 W（ $= (n-1) T + (P 1 - P 2) + (P 1 - P 3)$ ）と設定する。この例では、“P 1” は最長のプロセス処理時間を要する第 1 の処理室 6 でのプロセス処理時間を表しており、“P 2” 及び “P 3” は戻りプロセスを行う第 2 の処理室 7 及び第 3 の処理室 8 でのプロセス処理時間を表している。

また、連続プロセス数 n が変化した場合についても、上記と同様に、最もプロセス処理に要する時間が長いプロセス処理のプロセス処理時間と戻りプロセスを行う他のそれぞれのプロセス処理に要するプロセス処理時間との時間差を退避時

間の基準値 $(n - 1) T$ に全て加えた結果を退避時間 W として設定する。

また、2枚目の基板の投入タイミングは、1枚目の基板について第1の処理室6での最初の処理が完了した後となり、1枚目の基板と搬送が重ならないタイミングとされ、具体的には、 $(2 \text{ 枚目の基板の投入間隔} = P + 2 T)$ とする。

5 また、3枚目の基板の投入タイミングは、2枚目の基板について最後(2回目)の第2の処理室7への基板搬送処理が完了した後となり、具体的には、 $(3 \text{ 枚目の基板の投入間隔} = 3 P + 5 T + W)$ とする。

すると、 $(1 \text{ 枚目の基板と } 3 \text{ 枚目の基板との投入間隔} = 4 P + 7 T + W)$ となる。

10 但し、 P としては、例えば、最大のプロセス処理時間を用いることとし、本例では、 P_1 を用いる。

サイクルタイムは、 $\{(4 P + 7 T + W) / 2\}$ となる。

以上のように、本例の基板処理装置では、1つの基板搬送装置(本例では、真空雰囲気用移載機13)を収容する搬送室5に複数の処理室6~9が接続され、
15 基板を前記複数の処理室6~9の内の2つ以上の処理室 P_1 、 P_2 、 \dots 、 P_j
(ここで、 j は2以上の自然数)にて連続的に処理する構成において、次のような処理を行う。

すなわち、前記連続処理を行った最後の処理室 P_j から前記連続処理した処理室のいずれかの処理室 P_x ($1 \leq x < j$)へ前記基板を再度搬送して P_x 、 \dots 、
20 P_y ($x \leq y \leq j$)の順で連続的に処理を行う戻りプロセスを実行する場合に、前記最後の処理室 P_j から前記いずれかの処理室 P_x へ前記基板を戻す際に、前記基板を処理室以外の場所で一時的に退避させた後に、前記いずれかの処理室 P_x へ前記基板を搬送する。

また、本例の基板処理装置では、前記処理室 P_1 、 P_2 、 \dots 、 P_j の各
25 処理室でのプロセス時間が等しい場合には、例えば、前記退避させる時間を $\{(n$

−1)・T} で規定する。ここで、n は戻りプロセスの対象となる処理室の数（連続プロセス数）であり、T は i 番目の処理室 P_i から (i + 1) 番目の処理室 P_{i+1} への基板の搬送時間である。なお、本例では、ロードロック室 4、10 と処理室との間における基板の搬送時間も T である。

5 また、本例の基板処理装置では、前記処理室 P₁、P₂、・・・、P_j の内、少なくとも 2 つの処理室でのプロセス時間が異なる場合には、前記退避させる時間を、{(n − 1)・T} に、処理室 P₁、P₂、・・・、P_j の内の最長プロセス時間 P_{max} と戻りプロセスで実行される各処理室の各プロセス時間との差分をそれぞれ加算させたものと規定する。なお、n 及び T は上記と同様である。

10 また、本例の基板処理装置では、一例として、1 つの移載機 13 を搭載した搬送室 5 と、熱処理や極薄膜形成を目的とした 2 つ以上の処理室 6 ～ 9 と、大気雰囲気と搬送室 5 との雰囲気置換を目的としたロードロック室 4、10 とを備えた構成において、任意の処理室 A での基板処理の後に、当該処理室 A とは異なる 1 つ以上の処理室を経由して再び処理室 A での処理を行う場合に、基板を退避可能なバッ
15 ファ空間（本例では、予備室 11、12）を設け、処理室 A と処理室 A の処理間に基板を一時的に退避して搬送する。

 また、本例の基板処理装置により行われる処理の方法により、例えば、半導体デバイスの製造方法や、基板搬送制御方法を提供することができる。

 従って、本例の基板処理装置では、戻りプロセスにおいて、処理室 6 ～ 9 の
20 処理効率の低下を抑制することができ、生産性の向上を図ることができる。具体的には、戻りプロセスにおいて、先発の基板と後発の基板の処理のフローについてデッドロックを防止しつつ、処理室 6 ～ 9 の処理効率を高めて、デバイスの生産能力を向上させることができる。

 なお、本例の基板処理装置では、搬送室 5 に設けられた真空雰囲気用移載機 1
25 3 の機能により基板搬送手段が構成されており、制御部 14 による制御により戻り

プロセスにおいて基板を一旦予備室 11、12 に退避させる基板搬送処理などを行う機能により基板搬送制御手段が構成されている。

以下で、本発明に関する技術の背景を示す。なお、ここで記載する事項は、必ずしも全てが従来の技術であるとは限定しない。

5 第4図には、一般的な基板処理装置の構成例を示してある。

本例の基板処理装置は、キャリアステーション(ロードポート:LP)21a、
21b、21cと、大気雰囲気用移載機(LH)22と、基板位置補正ユニット(ア
ライナ:AU)23と、第1のロードロック室(LM1)24と、真空雰囲気用移
載機(TH)31が設けられた搬送室25と、第1の処理室(PM1)26と、第
10 2の処理室(PM2)27と、第3の処理室(PM3)28と、第4の処理室(P
M4)29と、第2のロードロック室(LM2)30から構成されている。各処理
部21a~21c、22~31は、概略的には、第1図に示される対応する各処理
部と同様な動作を行う機能を有している。各処理炉(各処理室26~29)として
は、例えば、熱処理プロセスに係るものが用いられ、具体的には、ホットウォール
15 炉や、ランプ炉や、抵抗加熱プレート方式のコールドウォール炉などが用いられる。

第5図及び第6図を参照して、第4図に示される基板処理装置により基板を
処理する手順の一例を示す。

第5図には単一の処理基板に対して4つの処理室26~29を経由して極薄
膜の積層膜を形成する場合における基板搬送の流れの一例を示してあり、第6図に
20 は基板の処理履歴の一例をイベントタイムチャートとして示してある。第5図及び
第6図では、同一の番号(1)~(13)の処理は互いに対応している。

以下で、基板処理フローの各処理(1)~(13)を、順を追って説明する。

(1) ロード(大気雰囲気搬送)の処理の工程では、大気圧雰囲気用移載機2
2により

25 キャリアステーション21a内の基板を1枚ずつ第1のロードロック室24へ搬

送する。本例では、途中で基板位置補正ユニット 2 3 を経由して基板の中心位置補正と回転方向位置補正を行い、第 1 のロードロック室 2 4 への搬送位置再現の向上を図っている。

5 (2) ロードロック室真空排気の処理の工程では、搬送室 2 5 への大気の混入を防止するための真空排気、N 2 雰囲気置換を行う。搬送室 2 5 の保持圧力帯域 ($1.0 \times 10^{-8} \sim 5.0 \times 10^{-4} \text{ Pa}$) に合わせて、到達真空排気後に N 2 等の不活性ガスの供給により圧力調整を行う。

(3) 第 1 の基板搬送の処理の工程では、搬送室 2 5 の真空雰囲気用移載機 3 1 により
10 、第 1 のロードロック室 2 4 から第 1 の処理室 2 6 へ基板を搬送する。

(4) 第 1 のプロセス処理の工程では、第 1 の処理室 2 6 における処理を行う。
なお、各処理室 2 6 ～ 2 9 では、基板に対して、極薄膜形成などの成膜処理や熱処理等の処理を行う。

(5) 第 2 の基板搬送の処理の工程では、搬送室 2 5 の真空雰囲気用移載機 3
15 1 により
、第 1 の処理室 2 6 から第 2 の処理室 2 7 へ基板を搬送する。

(6) 第 2 のプロセス処理の工程では、第 2 の処理室 2 7 における処理を行う。

(7) 第 3 の基板搬送の処理の工程では、搬送室 2 5 の真空雰囲気用移載機 3 1 により、第 2 の処理室 2 7 から第 3 の処理室 2 8 へ基板を搬送する。

20 (8) 第 3 のプロセス処理の工程では、第 3 の処理室 2 8 における処理を行う。

(9) 第 4 の基板搬送の処理の工程では、搬送室 2 5 の真空雰囲気用移載機 3 1 により第 3 の処理室 2 8 から第 4 の処理室 2 9 へ基板を搬送する。

(10) 第 4 のプロセス処理の工程では、第 4 の処理室 2 9 における処理を行う。

25 (11) 第 5 の基板搬送の処理の工程では、搬送室 2 5 の真空雰囲気用移載機

3 1により第4の処理室2 9から第1のロードロック室2 4へ基板を搬送する。

(1 2) ロードロック室大気圧復帰の処理及び基板冷却の処理の工程では、処理後の基板を大気雰囲気に戻すための大気圧戻しを行い、同時に、処理後の高温基板の冷却イベントも兼ねている。

5 (1 3) アンロードの処理の工程では、処理後の基板を第1のロードロック室2 4からキャリアステーション2 1 aへ搬送する。

ここで、上記した(3)、(5)、(7)、(9)、(1 1)の処理の工程の動作としては、例えば、移載元の処理室(ここでは、ロードロック室も含む)と搬送室2 5とを隔離している弁体機構(ゲートバルブ:GV)が開き、所定の基板を真空雰囲気用移載機3 1で保持した後に移載先の処理室へ搬送して、移載先のGVが閉じるまでの動作を示し、場合によっては、前回の移載動作が終了した状態から移載元の基板のアクセスに必要な真空雰囲気用移載機3 1の予備動作もこれに含まれる。
10 本例では、本過程の動作に要する時間を搬送時間と言う。

また、上記した(4)、(6)、(8)、(1 0)のプロセス処理の工程の動作としては、例えば、前述の移載動作でGVが閉じた直後に所定のシーケンスを実行して
15 基板に極薄膜形成や熱処理等を行って基板を払い出すためにGVが開く直前までの動作を示す。

第6図に示したタイムチャートは、上記した工程(1)～(1 3)について、基板毎の処理履歴を次元イベント化したものである。

20 複数の基板に対して同一の処理を連続的に且つ効率良く行うためには、上記したタイムチャート中の同一イベントが重ならないように配置する必要がある。

上記第5図や上記第6図に示されるように、異なる処理が可能な複数の処理室2 6～2 9において、各1回の処理を行って積層膜を形成するプロセスが標準的に行われている一方、2つ以上の処理室を使用して、処理室数以上の積層膜を形成
25 するプロセス(戻りプロセス)も望まれている。具体的には、戻りプロセスでは、

別の処理室を経由した後に一旦処理を終えた処理室へ基板を搬送し、再度同じ処理
或いは異なる条件の処理を行う。

ここで、本例では、戻りプロセスのイベントタイムチャートを使用する処理室
の数を連続プロセス数（ n ）とし、つまり、連続プロセス数 n は戻りプロセスの対
5 象となる処理室の数となる。また、以下では、基板処理の流れやイベントタイムチ
ャートとしては、戻りプロセスに関する真空搬送系の部分（例えば、第5図及び第
6図に示される（3）～（11）に対応する処理の部分）のみにについて示す。

第7図には、戻りプロセスを有する基板処理の流れの一例（1）～（9）と
して、連続プロセス数が2である場合を示してある。

10 （1）第1の基板搬送の処理の工程では、搬送室25の真空雰囲気用移載機3
1により、第1のロードロック室24から第1の処理室26へ基板を搬送する。

（2）第1のプロセス処理の工程では、第1の処理室26における処理を行う。

（3）第2の基板搬送の処理の工程では、搬送室25の真空雰囲気用移載機3
1により、第1の処理室26から第2の処理室27へ基板を搬送する。

15 （4）第2のプロセス処理の工程では、第2の処理室27における処理を行う。

（5）第3の基板搬送の処理の工程では、搬送室25の真空雰囲気用移載機3
1により、第2の処理室27から第1の処理室26へ基板を搬送する。

（6）第3のプロセス処理の工程では、第1の処理室26における処理を行う。

（7）第4の基板搬送の処理の工程では、搬送室25の真空雰囲気用移載機3
20 1により、第1の処理室26から第2の処理室27へ基板を搬送する。

（8）第4のプロセス処理の工程では、第2の処理室27における処理を行う。

（9）第5の基板搬送の処理の工程では、搬送室25の真空雰囲気用移載機3
1により、第2の処理室27から第1のロードロック室24へ基板を搬送する。

第8図（A）、（B）、（C）には、それぞれ、戻りプロセスを有する基板処理
25 において、複数の基板を処理する場合におけるイベントタイムチャートの一例を示

してある。

なお、本例では、各処理室 26～29 での処理時間が全て同じ時間 P であり、真空雰囲気用移載機 31 による 1 回の搬送時間が T であるとする。

また、本例では、複数の基板を半永久的に処理し続ける場合における基板 1 枚当たりの処理時間をサイクルタイムと定義する。本例では、サイクルタイムは、基板の投入間隔と等しくなる（つまり、サイクルタイム＝投入間隔）。

第 8 図（A）には、連続プロセス数が 2 である場合を示してある。

この場合、1 枚目、2 枚目、3 枚目、・・・といったそれぞれの基板について、第 7 図に示されるような処理が行われる。

また、2 枚目の基板の投入タイミングは、1 枚目の基板について第 1 の処理室 26 での最後の処理が完了した後となり、1 枚目の基板と搬送が重ならないタイミングとされる。また、3 枚目以降の基板の投入タイミングについても、同様である。

この場合、第 1 の処理室 26 の待機時間（空き時間）は第 2 の処理室 27 での処理時間 P と等しくなり、第 2 の処理室 27 の待機時間（空き時間）についても同様である。

また、連続プロセス数が 2 である場合におけるサイクルタイム C T 1 は、 $(C T 1 = 3 P + 4 T)$ と表される。

第 8 図（B）には、連続プロセス数が 3 である場合を示してある。

この場合、1 枚目、2 枚目、3 枚目、・・・といったそれぞれの基板について、3 つの処理室（本例では、第 1 の処理室 26、第 2 の処理室 27、第 3 の処理室 28）での処理が繰り返して行われる。

また、2 枚目の基板の投入タイミングは、1 枚目の基板について第 1 の処理室 26 での最後の処理が完了した後となり、1 枚目の基板と搬送が重ならないタイミングとされる。また、3 枚目以降の基板の投入タイミングについても、同様である。

この場合、第 1 の処理室 26 の待機時間（空き時間）は第 2 の処理室 27 での

処理時間 P と第 3 の処理室 28 での処理時間 P と 1 回の搬送時間 T との和 ($2P + T$) と等しくなり、第 2 の処理室 27 や第 3 の処理室 28 の待機時間 (空き時間) についても同様である。

また、連続プロセス数が 3 である場合におけるサイクルタイム CT_2 は、(C)
5 $CT_2 = 4P + 5T$ と表される。

第 8 図 (C) には、連続プロセス数が 4 である場合を示してある。

この場合、1 枚目、2 枚目、3 枚目、・・・といったそれぞれの基板について、4 つの処理室 (本例では、第 1 の処理室 26、第 2 の処理室 27、第 3 の処理室 28、第 4 の処理室 29) での処理が繰り返して行われる。

10 また、2 枚目の基板の投入タイミングは、1 枚目の基板について第 1 の処理室 26 での最後の処理が完了した後となり、1 枚目の基板と搬送が重ならないタイミングとされる。また、3 枚目以降の基板の投入タイミングについても、同様である。

この場合、第 1 の処理室 26 の待機時間 (空き時間) は第 2 の処理室 27 での処理時間 P と第 3 の処理室 28 での処理時間 P と第 4 の処理室 29 での処理時間
15 P と 2 回の搬送時間 T との和 ($3P + 2T$) と等しくなり、第 2 の処理室 27 や第 3 の処理室 28 や第 4 の処理室 29 の待機時間 (空き時間) についても同様である。

また、連続プロセス数が 4 である場合におけるサイクルタイム CT_3 は、($CT_3 = 5P + 6T$) と表される。

ここで、第 8 図 (A)、(B)、(C) に示される手法では、連続プロセス数 n
20 が増加するに従って、サイクルタイムが増加する傾向がある (例えば、 $CT_1 < CT_2 < CT_3$)。

また、第 8 図 (A)、(B)、(C) に示される手法では、戻りプロセスの実施により、各処理室 26 ~ 29 において基板処理や搬送を全く行わない待機時間 (空き時間) が大きく発生し、処理室 26 ~ 29 の稼働効率が著しく低下する。

25 戻りプロセスにおいて、複数の基板を処理する時に注意を払わなければなら

ない点は、基板搬送のデッドロックを防止しなければならない点である。デッドロックとは、例えば、2つの処理室26、27を使用して戻りプロセスを行うときを例とすると、1枚目の基板を第1の処理室26を経て第2の処理室27へ搬送して、第2の処理室27での1枚目の基板の処理中に2枚目の基板を第1の処理室26へ搬送した場合に生じる搬送不可能状態のことである。つまり、1枚目の基板は第2の処理室27に存在して次の搬送先が第1の処理室26であるのに対して、2枚目の基板は第1の処理室26に存在して次の搬送先が第2の処理室27であるため、両方の基板とも相手の基板の存在により自己の搬送ルートが確保されなくなってしまう。

戻りプロセスにおいて、デッドロックを確実に防止する有効な手法としては、第8図(A)、(B)、(C)に示されるように、例えば、基板の最初の処理が第1の処理室26で行われる場合には、先行する基板処理においては第1の処理室26での最後の処理が終了したら後発の基板搬送を開始するように、第1の処理室26へ基板を搬送する際における基板毎の投入タイミング(例えば、投入間隔)を調整するものである。

第8図(A)、(B)、(C)に示される手法では、連続プロセス数を n とし、各処理室間の搬送時間を T とし、各処理室での処理時間を一律 P 時間とすると、サイクルタイム CT は、 $\{CT = (n + 1) \cdot P + (n + 2) \cdot T\}$ と表される。

また、上記では、1回のみ戻りプロセスを行った場合について示し、この場合、戻りプロセスを1回実行すると同一の処理室で処理する回数は2回になる。

更に、戻りプロセスの回数を m とした場合におけるサイクルタイム CT_m は、 $\{CT_m = (m \cdot n + 1) \cdot P + (m \cdot n + 2) \cdot T\}$ と表される。

これらの式に示されるように、サイクルタイムは連続プロセス数 n と戻りプロセスの回数 m に比例して長くなり、また、第8図(A)、(B)、(C)に示されるように各処理室でプロセス処理と搬送処理のいずれにも寄与しない待機時間(空き時

間)が大きく存在することから、本例の手法では、各処理室の処理効率が著しく低下し、半導体基板の生産効率が落ちてしまうという問題があった。

これに対して、本発明では、戻りプロセスを有する基板処理を効率的に行うことができる。

5 ここで、本発明に係る基板処理装置などの構成としては、必ずしも以上に示したものに限られず、種々な構成が用いられてもよい。また、本発明は、例えば、本発明に係る処理を実行する方法或いは方式や、このような方法や方式を実現するためのプログラムや当該プログラムを記録する記録媒体などとして提供することも可能であり、また、種々な装置やシステムとして提供することも可能である。

10 また、本発明の適用分野としては、必ずしも以上に示したものに限られず、本発明は、種々な分野に適用することが可能なものである。

 また、本発明に係る基板処理装置などにおいて行われる各種の処理としては、例えばプロセッサやメモリ等を備えたハードウェア資源においてプロセッサがROM (Read Only Memory) に格納された制御プログラムを実行することにより制御
15 される構成が用いられてもよく、また、例えば当該処理を実行するための各機能手段が独立したハードウェア回路として構成されてもよい。

 また、本発明は上記の制御プログラムを格納したフロッピー（登録商標）ディスクやCD (Compact Disc) -ROM等のコンピュータにより読み取り可能な記録媒体や当該プログラム（自体）として把握することもでき、当該制御プログラムを
20 当該記録媒体からコンピュータに入力してプロセッサに実行させることにより、本発明に係る処理を遂行させることができる。

産業上の利用可能性

 以上説明したように、本発明に係る基板処理装置などによると、基板を2つ
25 以上の処理室により連続的に処理した後に最後の処理室から当該2つ以上の処理

室のうちの最後以外のいずれかの処理室へ前記基板を再度搬送して処理を行う戻りプロセスを実行する場合に、当該再度搬送するに際して、前記基板を処理室以外の場所で一時的に退避させた後に前記いずれかの処理室へ搬送するようにしたため、複数の基板を連続的に処理するに際して、戻りプロセスを有する基板処理を効

5 率的に行うことができる。

請 求 の 範 囲

1. 複数の基板を連続的に処理する基板処理装置において、

基板の搬送空間となる搬送室と、

5 基板の処理が行われる複数の処理室と、

前記搬送室に設けられて基板を搬送する機能を有する基板搬送装置と、

基板を2つ以上の処理室により連続的に処理した後に最後の処理室から当該2つ以上の処理室のうちの最後以外のいずれかの処理室へ前記基板を再度搬送して処理を行う戻りプロセスを実行する場合に、当該再度搬送するに際して、前記
10 基板を処理室以外の場所で一時的に退避させた後に前記いずれかの処理室へ搬送するように前記基板搬送装置による基板の搬送処理を制御する制御部と、

を備えたことを特徴とする基板処理装置。

2. 請求の範囲第1項に記載の基板処理装置において、

前記戻りプロセスにおける各処理室での処理は、当該各処理室のそれぞれに

15 おいて前回に行われた処理と同じ処理である、

ことを特徴とする基板処理装置。

3. 請求の範囲第1項に記載の基板処理装置において、

前記戻りプロセスにおける各処理室での処理は、当該各処理室のそれぞれにおいて前回に行われた処理とは異なる条件の処理である、

20 ことを特徴とする基板処理装置。

4. 請求の範囲第1項に記載の基板処理装置において、

1枚の基板に対して、前記搬送室に接続された処理室の数以上の数の処理を行う、

ことを特徴とする基板処理装置。

25 5. 請求の範囲第4項に記載の基板処理装置において、

前記 1 枚の基板に、前記処理室の数以上の数の積層膜を形成する、
ことを特徴とする基板処理装置。

6. 請求の範囲第 1 項に記載の基板処理装置において、

前記制御部は、1 枚目の基板について最初の処理室での処理及び次の処理室
5 への搬送が完了した後に、2 枚目の基板を前記最初の処理室へ搬送するように前記
基板搬送装置による基板の搬送処理を制御する、
ことを特徴とする基板処理装置。

7. 請求の範囲第 1 項に記載の基板処理装置において、

前記基板を退避させる処理室以外の場所は、前記搬送室に接続された予備室
10 内である、
ことを特徴とする基板処理装置。

8. 請求の範囲第 1 項に記載の基板処理装置において、

前記基板を退避させる処理室以外の場所は、前記搬送室に接続されたロード
ロック室内である、
15 ことを特徴とする基板処理装置。

9. 請求の範囲第 1 項に記載の基板処理装置において、

前記 2 つ以上の処理室のそれぞれにおける基板の処理時間が等しい場合に、
戻りプロセスの対象となる処理室の数を n とし、処理室間の基板の搬送時間を T と
して、前記制御部は、前記退避の時間として $\{(n-1) \cdot T\}$ を用いる、
20 ことを特徴とする基板処理装置。

10. 請求の範囲第 1 項に記載の基板処理装置において、

前記 2 つ以上の処理室のいずれかの処理室における基板の処理時間が異なる
場合に、戻りプロセスの対象となる処理室の数を n とし、処理室間の基板の搬送
時間を T とし、前記 2 つ以上の処理室のうちで基板の処理時間が最長となる処理室
25 における基板の処理時間を P_{max} とし、前記制御部は、前記退避の時間として、

Pmaxと戻りプロセスが実行される各処理室における基板の処理時間との差分を当該各処理室の全てについて $\{(n-1) \cdot T\}$ に加えた結果を用いる、

ことを特徴とする基板処理装置。

1 1. 請求の範囲第9項又は請求の範囲第10項に記載の基板処理装置において、

5 前記処理室における基板の処理時間は、当該処理室と前記搬送室とを隔離しているゲートバルブが閉じられてから、当該基板への処理が行われた後に、当該ゲートバルブが開かれるまでの時間で規定される、

ことを特徴とする基板処理装置。

1 2. 請求の範囲第9項又は請求の範囲第10項に記載の基板処理装置において、

10 前記搬送時間は、移載元の処理室と前記搬送室とを隔離しているゲートバルブが開き、搬送対象の基板を前記基板搬送装置にて保持した後に移載先の処理室へ搬送して、移載先のゲートバルブが閉じるまでの時間で規定される、

ことを特徴とする基板処理装置。

1 3. 1つの基板搬送装置を収容する搬送室に複数の処理室が接続され、基板を前

15 記複数の処理室の内の2つ以上の処理室P1、P2、・・・、Pj（jは2以上の自然数）にて連続的に処理する基板処理装置において、

前記連続処理を行った最後の処理室Pjから前記連続処理した処理室のいずれかの処理室Px（ $1 \leq x < j$ ）へ前記基板を再度搬送してPx、・・・、Py

（ $x \leq y \leq j$ ）の順で連続的に処理を行う戻りプロセスを実行する場合に、前記最後の処理室Pjから前記いずれかの処理室Pxへ前記基板を戻す際に、前記基板を処理室以外の場所で一時的に退避させた後に、前記いずれかの処理室Pxへ前記基板を搬送するように前記基板搬送装置による基板の搬送処理を制御する制御部を備えた、

ことを特徴とする基板処理装置。

25 1 4. 複数の基板を連続的に処理して、半導体デバイスを製造する半導体デバイス

製造方法において、

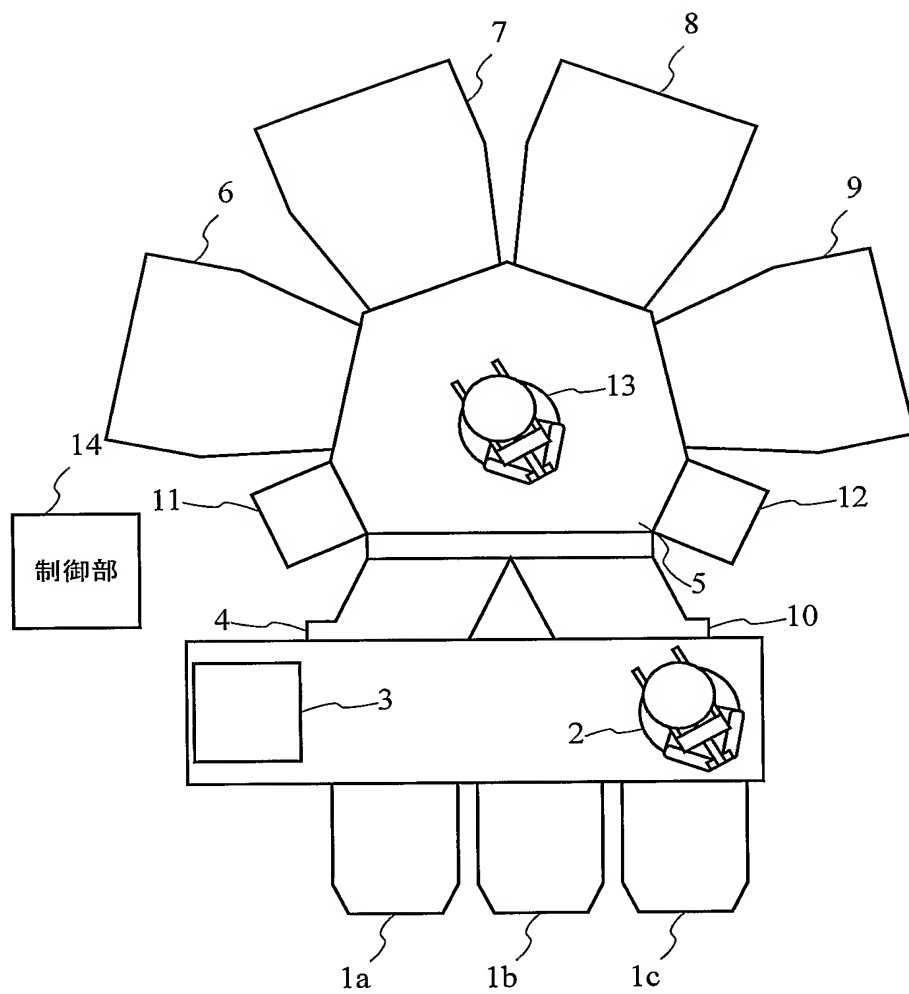
基板を2つ以上の処理室により連続的に処理した後に最後の処理室から当該2つ以上の処理室のうちの最後以外のいずれかの処理室へ前記基板を再度搬送して処理を行う戻りプロセスを実行する場合に、当該再度搬送するに際して、前記

- 5 基板を処理室以外の場所で一時的に退避させた後に前記いずれかの処理室へ搬送する、

ことを特徴とする半導体デバイス製造方法。

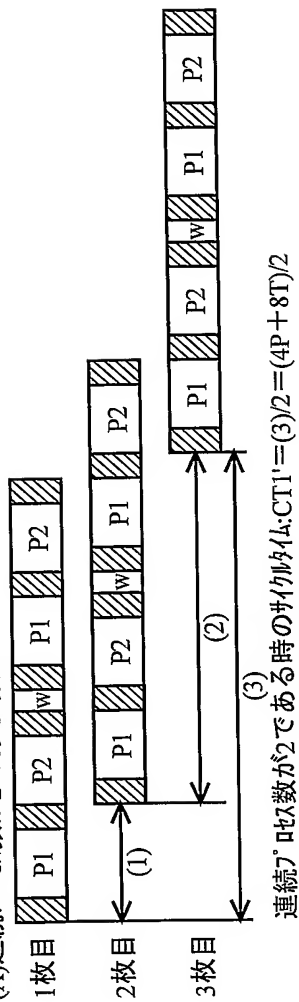
1/8

第 1 図

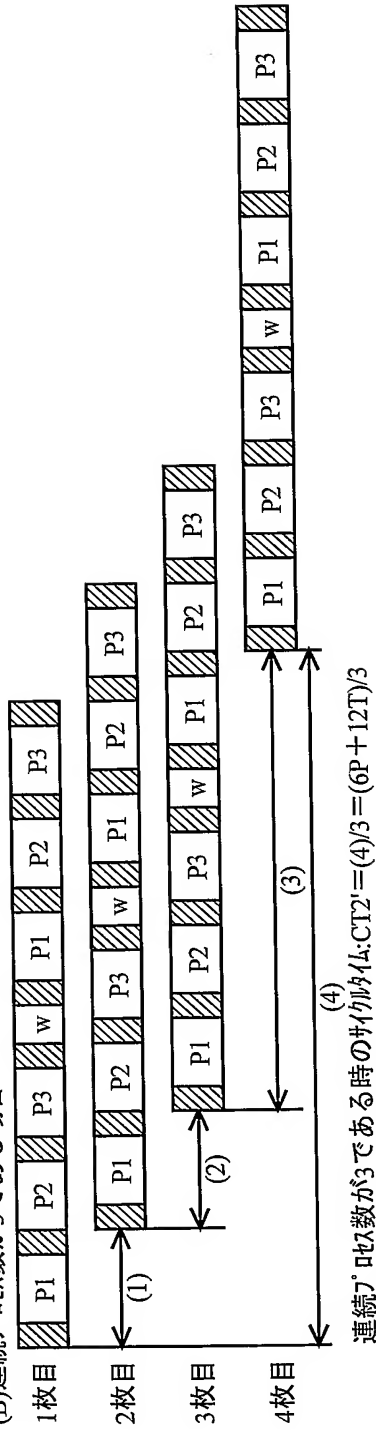


第 2 図

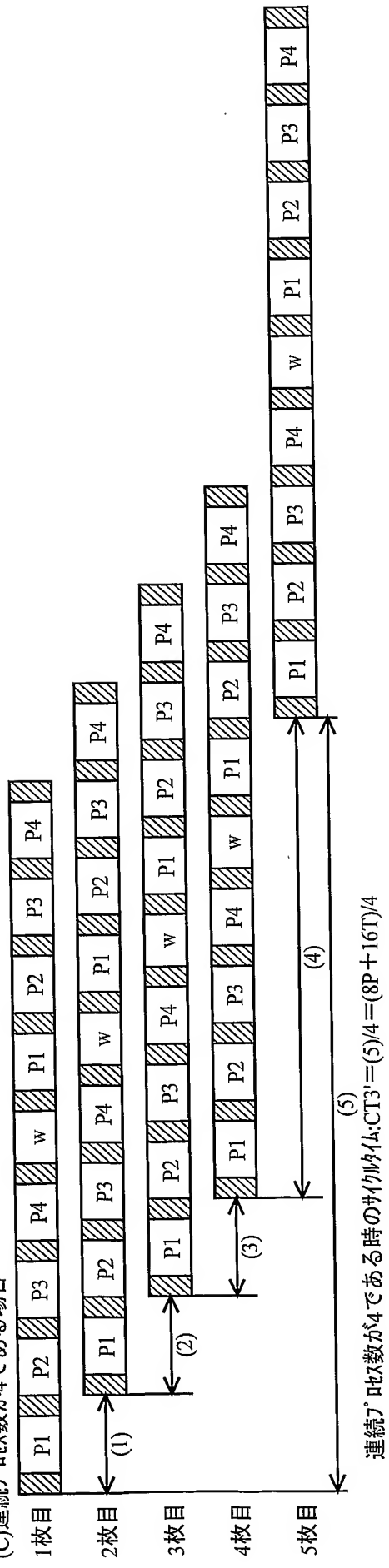
(A)連続ノビ数数が2である場合



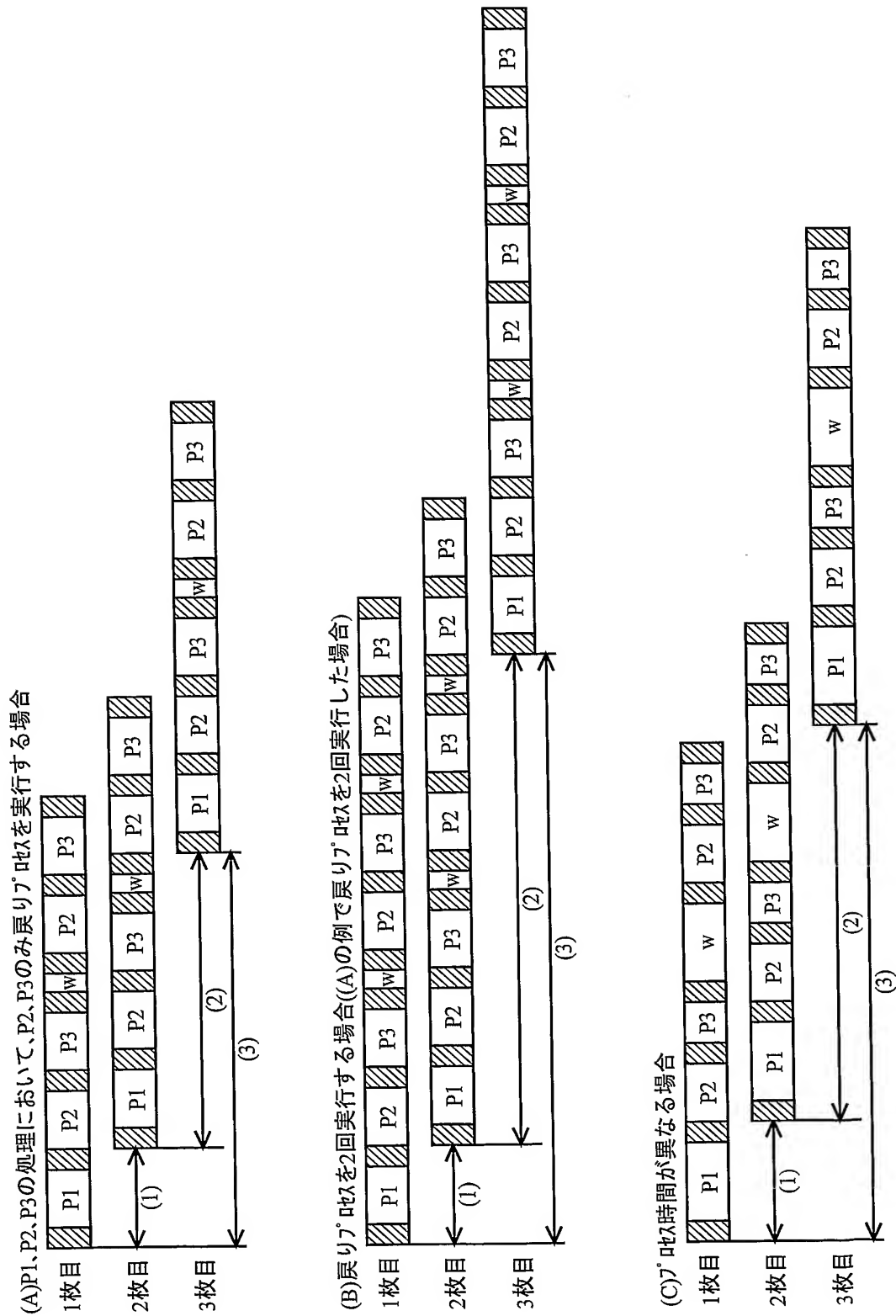
(B)連続ノビ数数が3である場合



(C)連続ノビ数数が4である場合

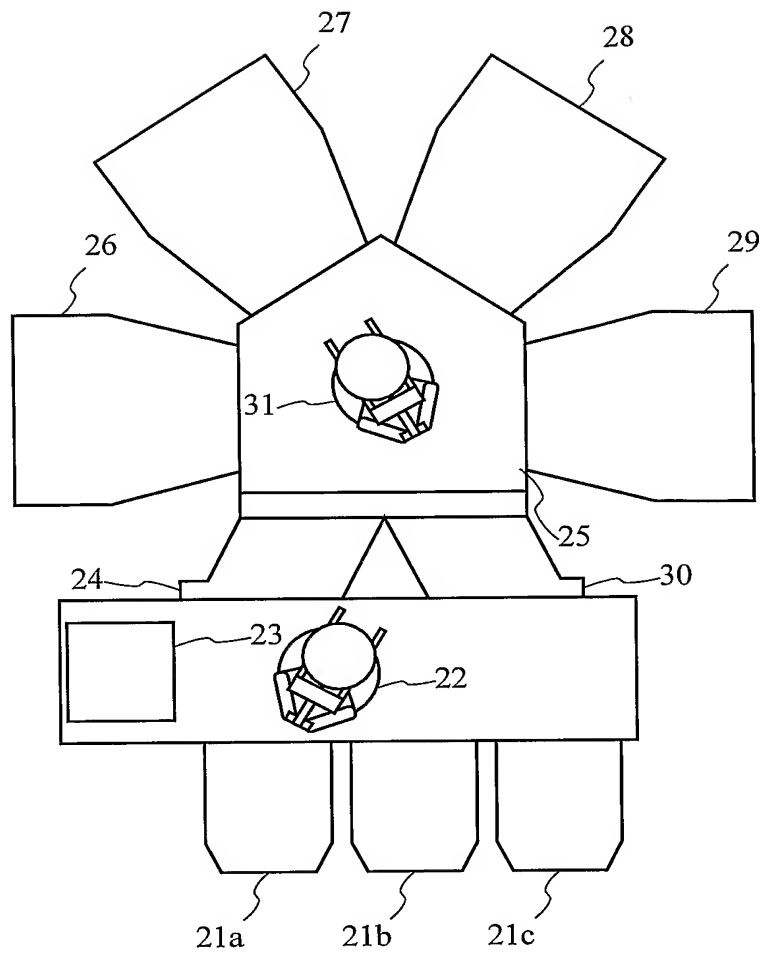


第 3 図



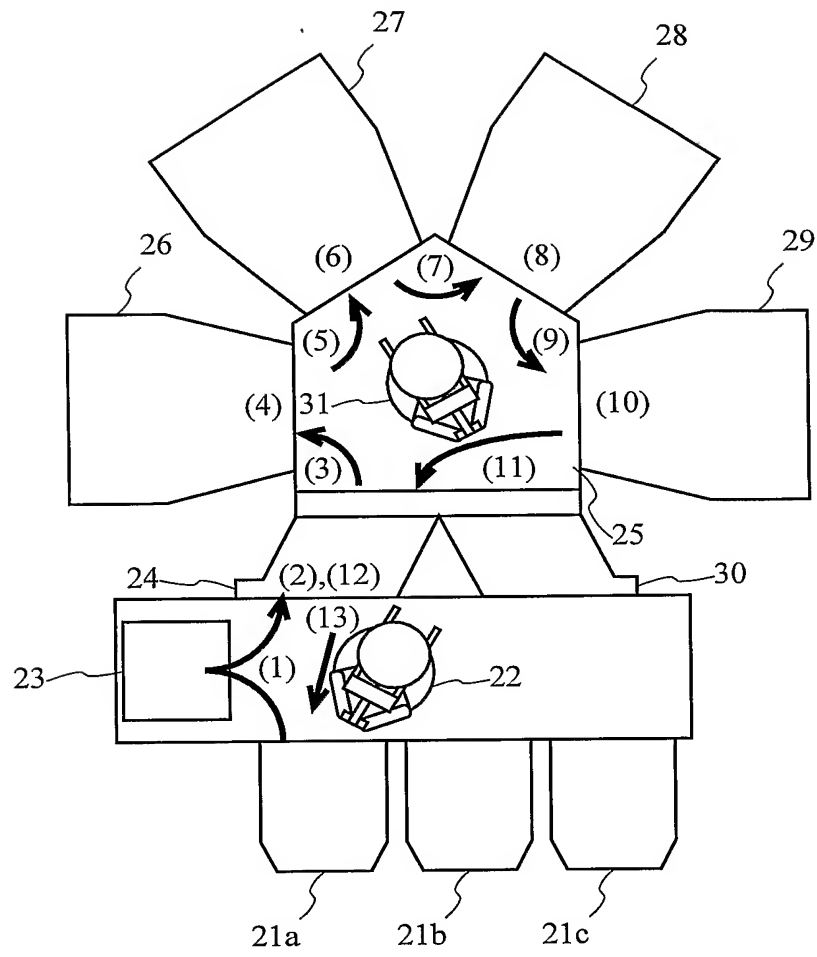
4/8

第 4 図



5/8

第 5 図

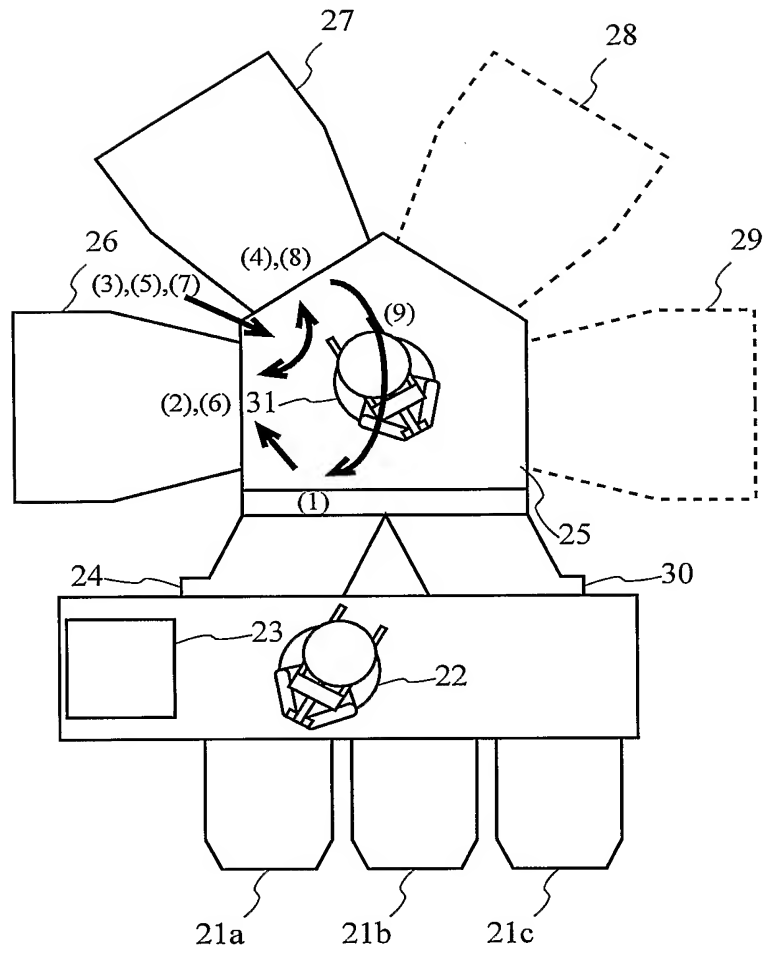


第 6 図



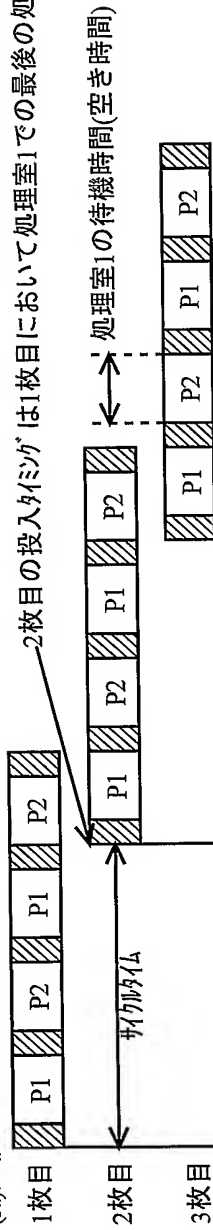
7/8

第 7 図



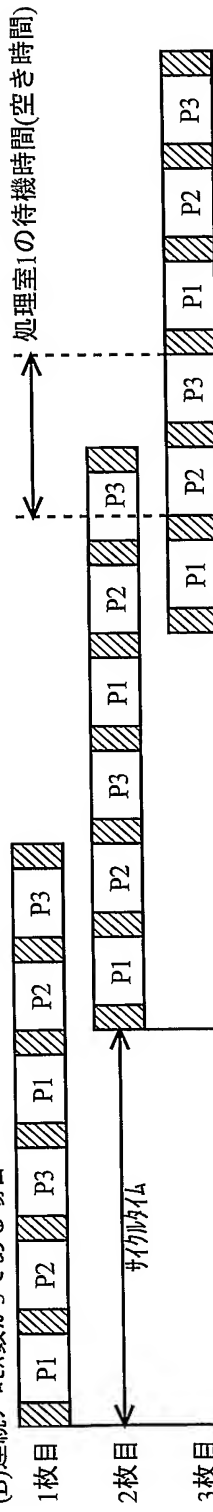
第 8 図

(A)連続プ・処理数が2である場合
2枚目の投入タイミングは1枚目において処理室1での最後の処理後になる



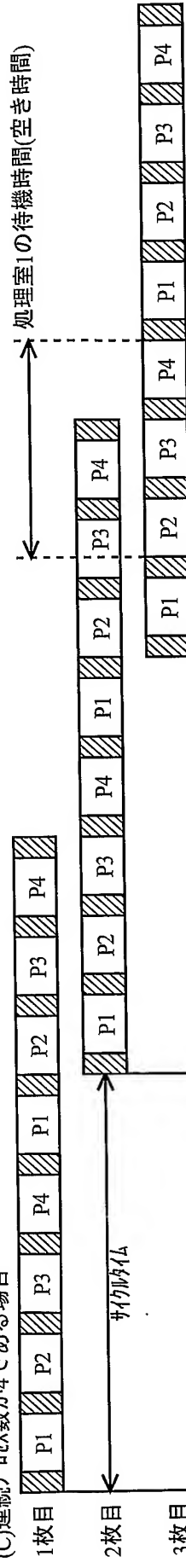
$$\text{連続プ・処理数が2である時のサイクルタイム: } CT1 = 3P + 4T$$

(B)連続プ・処理数が3である場合



$$\text{連続プ・処理数が3である時のサイクルタイム: } CT2 = 4P + 5T$$

(C)連続プ・処理数が4である場合



$$\text{連続プ・処理数が4である時のサイクルタイム: } CT3 = 5P + 6T$$

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/009107

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L21/68, 21/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L21/68, 21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-15021 A (Dainippon Screen Mfg. Co., Ltd.), 15 January, 2004 (15.01.04), Full text; all drawings & US 2004/0005149 A1 Full text; all drawings	1-7, 13, 14 8-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 August, 2005 (15.08.05)

Date of mailing of the international search report
30 August, 2005 (30.08.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/68, 21/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/68, 21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2004-15021 A (大日本スクリーン製造株式会社) 2004.01.15, 全文, 全図&US 2004/0005149 A1, 全文, 全図	1-7, 13, 14
A		8-12

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

15.08.2005

国際調査報告の発送日

30.8.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中島 昭浩

電話番号 03-3581-1101 内線 3324

3U

9147